

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 4 月 29 日 (29.04.2004)

PCT

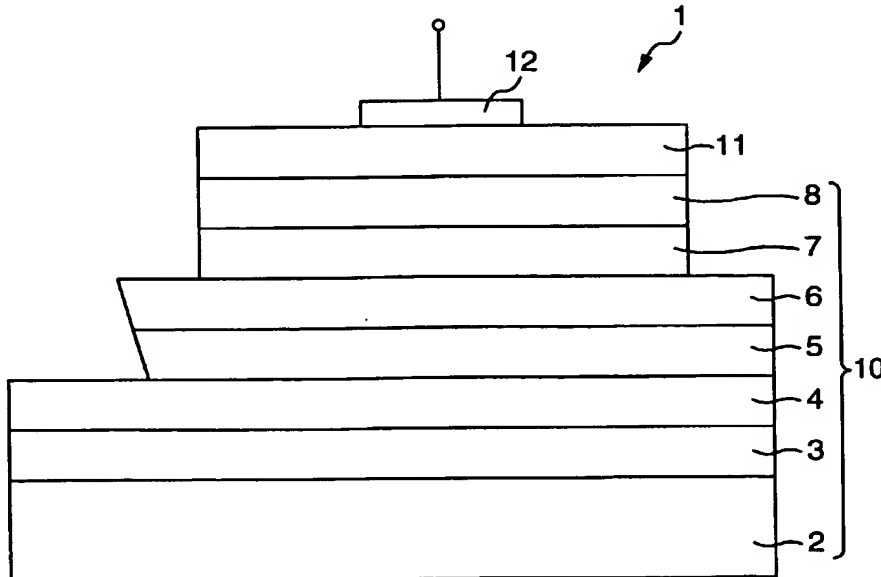
(10) 国際公開番号  
WO 2004/036635 A1

- (51) 国際特許分類: H01L 21/28
- (21) 国際出願番号: PCT/JP2003/013067
- (22) 国際出願日: 2003 年 10 月 10 日 (10.10.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2002-301059  
2002 年 10 月 15 日 (15.10.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友化学工業株式会社 (SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒541-8550 大阪府 大阪市 中央区 北浜四丁目 5 番 33 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 秦 雅彦
- (74) 代理人: 浅村 皓, 外 (ASAMURA, Kiyoshi et al.); 〒100-0004 東京都 千代田区 大手町 2 丁目 2 番 1 号 新大手町ビル 331 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

[続葉有]

(54) Title: PRODUCTION METHOD FOR THIN FILM CRYSTAL WAFER, SEMICONDUCTOR DEVICE USING IT AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 薄膜結晶ウェーハの製造方法、それを用いた半導体デバイス及びその製造方法



(57) Abstract: The n<sup>+</sup>-GaAs layer (8) of a GaAs single crystal (10) is formed into a film by an epitaxial growth, subsequently an Si layer (11) is epitaxially grown in the same epitaxial growth furnace, and then an aluminum electrode (12) is formed as an ohmic electrode on the Si layer (11). The Si layer (11) can restrict a surface defect level from being formed on the surface of the n<sup>+</sup>-GaAs layer (8) to effectively prevent the formation of an unnecessary potential barrier. Since the Si layer (11) has a flat surface condition and an excellent chemical stability, the electrode (12) is formed by using aluminum or the like having a proper work function to the Si layer (11) to thereby produce a good ohmic electrode.

[続葉有]

WO 2004/036635 A1



GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),  
OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,  
ML, MR, NE, SN, TD, TG).

2 文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: GaAs 単結晶 10 の  $n^+$ -GaAs 層 8 をエピタキシャル成長により成膜した後、引き続き Si 層 11 を同一のエピタキシャル成長炉内においてエピタキシャル成長させ、しかる後アルミニウムの電極 12 をオーミック電極として Si 層 11 上に形成する。Si 層 11 によって  $n^+$ -GaAs 層 8 の表面に表面欠陥準位が形成されるのを抑制することができ、不要な電位障壁の形成を有効に防止できる。Si 層 11 は表面状態が平坦で且つ化学的安定性に優れているので、Si 層 11 に対して適切な仕事関数を有するアルミニウム等を用いて電極 12 を形成することにより、良好なオーミック電極とすることができる。

## 明 細 書

薄膜結晶ウェーハの製造方法、それを用いた半導体デバイス及びその製造方法

## 5 技術分野

本発明は、表面安定性に優れた半導体ウェーハの製造方法及びこれを用いた良好なオーミック電極特性を有する半導体デバイス並びにその製造方法に関する。

## 背景技術

- GaAs、GaP、GaN等の3-5族化合物半導体結晶が、マイクロ波帯以上の高周波領域で使用される高速電子素子又は各種発光ダイオード等の発光素子のような半導体デバイスの製造のために広く用いられている。上述のような化合物半導体結晶を利用して半導体デバイスを製造する場合、半導体結晶自身の電気的特性が重要であることは勿論であるが、デバイス応用の観点からは、半導体結晶を外部デバイスと電気的に接続するための電極部分の電気的特性も重要である。
- すなわち、外部デバイスとの間で電流を効率良く流すことができるオーミック接続を得ることができる電極の形成が重要な技術的課題となってきた。

- 一般には、半導体における伝導帯準位又は価電子帯準位と電極金属の仕事関数とは異なることが多いため、電極を介して半導体結晶内に電流を円滑に流し込むためには目的の半導体層の帯構造に適合した仕事関数を持つ電極材料を選ぶ必要がある。

- しかし、半導体結晶に取り付ける電極の材料を上述の観点から選択したとしても、半導体結晶の表面の不安定性のために電位障壁が生じ、これが電流の円滑な流れを阻害するという問題がある。例えば、GaAs系化合物半導体の場合、高密度の表面欠陥準位が自然に形成され、同欠陥準位付近にフェルミ準位が固定され、かつ同準位が禁制帯内に形成されるために、表面付近に電位障壁となる空乏層が形成されることが多い。このことは使用する電極金属の種類によらず一定の空乏層が発生することを意味し、この空乏層の影響により電極の材料を適切に選択したとしても、理想的なオーミック特性を得ることが事実上困難になっている。

この問題に対処するため、従来においては、半導体結晶と電極との間に、禁制

帯幅が小さく電位障壁の小さい  $\text{InGaAs}$  等の結晶層を電極接続層として形成し、電極と半導体結晶との間のエネルギーギャップを緩和する構成、あるいは不純物添加濃度を上げると空乏層厚さが薄くなることを利用し、電極からの電流がトンネル効果により半導体結晶に円滑に流れる程度に空乏層が薄くなるまで多量の不純物を添加するようにした構成が考えられ、公知となっている。

しかし、 $\text{InGaAs}$  層を電極接続層として設けると、半導体結晶の最上層に形成されている  $\text{GaAs}$  層の上に、これと格子定数の異なる  $\text{InGaAs}$  層等を形成することとなるので、出来上がった半導体デバイス内に無理な圧縮又は引張応力が作用することとなる。このため、歪が発生したり、表面形態が悪化したりするので、微細なパターニングに対して断線その他の不具合が生じる。一方、電位障壁となる空乏層の厚さを不純物の大量添加により薄くすると、半導体の熱的安定性を損なうこととなり、出来上がった半導体デバイスの動作が不安定になり、動作の信頼性が低下する。

#### 発明の開示

15 本発明の目的は、従来技術における上述の問題点を解決することができるようにした、表面安定性に優れた半導体ウェーハの製造方法及びこれを用いた良好なオーミック電極特性を有する半導体デバイス並びにその製造方法を提供することにある。

上記課題を解決するため、本発明では、 $\text{GaAs}$  のような 3-5 族化合物半導体の単結晶上に適宜の結晶構造の  $\text{Si}$  層を積層することにより、表面安定性に優れ、且つ良好なオーミック電極特性を有する半導体積層構造を得ることができるようにしたものである。

本発明は以下の通りである。

(1) 3-5 族化合物半導体単結晶を用いた半導体デバイスにおいて、ドーパされた 3-5 族化合物半導体単結晶エピタキシャル層と、該 3-5 族化合物半導体単結晶エピタキシャル層上に形成された  $\text{Si}$  層と、該  $\text{Si}$  層上にオーミック電極として形成された金属電極とを備えて成る半導体デバイス。

(2) 前記 3-5 族化合物半導体単結晶エピタキシャル層が n 型にドーパされており、前記金属電極が電子用オーミック電極である上記 (1) の半導体デバイ

ス。

(3) 前記 3-5 族化合物半導体単結晶エピタキシャル層が p 型にドーピングされており、前記金属電極が正孔用オーミック電極である、上記 (1) の半導体デバイス。

5 (4) 前記 3-5 族化合物半導体単結晶が GaAs、InGaAs、及び InP からなる群から選ばれるいずれか 1 つの単結晶である、上記 (1) ~ (3) のいずれかの半導体デバイス。

(5) 前記 Si 層が、前記 3-5 族化合物半導体単結晶エピタキシャル層上にエピタキシャルに成長させた単結晶層である、上記 (1) ~ (4) のいずれかの  
10 半導体デバイス。

(6) 前記 Si 層が、前記 3-5 族化合物半導体単結晶エピタキシャル層上に多結晶層又はアモルファス層として形成されている、上記 (1) ~ (4) のいずれかの半導体デバイス。

(7) 前記金属電極がアルミニウムからなる上記 (1) ~ (6) のいずれかの  
15 半導体デバイス。

(8) 3-5 族化合物半導体デバイス用の薄膜結晶ウェーハの製造方法において、半導体基板上に所要の化合物半導体薄膜結晶層をエピタキシャル成長によって積層して 3-5 族化合物半導体単結晶を得る工程と、該 3-5 族化合物半導体単結晶上に Si 層をエピタキシャル成長によって成膜する工程とを、同一のエピ  
20 タキシャル成長炉内において行う、上記方法。

(9) 前記エピタキシャル成長が、有機金属気相エピタキシャル成長法 (MOVPE 法) 又は分子線エピタキシー法 (MBE 法) により行われる上記 (8) の方法。

(10) 前記 3-5 族化合物半導体単結晶が GaAs 単結晶である上記 (8) の方法。  
25

(11) 前記 Si 層を成膜する場合に前記 Si 層に接合する前記 3-5 族化合物半導体単結晶の薄膜層が Si により n 型ドーピングされる上記 (8) の方法。

(12) 前記化合物半導体薄膜結晶層が As を含み、前記 Si 層を成膜する場合に、前記 Si 層に接合する前記 3-5 族化合物半導体単結晶の薄膜結晶層中の

A s により前記 S i 層が n 型ドーブされる上記 ( 8 ) の方法。

( 1 3 ) 前記 S i 層を単結晶層、多結晶層、又はアモルファス層として形成するようにした上記 ( 8 ) ~ ( 1 2 ) のいずれかの方法。

- ( 1 4 ) 3 - 5 族化合物半導体単結晶を用いた半導体デバイスの製造方法において、半導体基板上に所要の化合物半導体薄膜結晶層をエピタキシャル成長によって積層して 3 - 5 族化合物半導体単結晶を得る工程と、該 3 - 5 族化合物半導体単結晶上に S i 層をエピタキシャル成長によって成膜する工程とを、同一のエピタキシャル成長炉内において行った後、該 S i 層上にオーミック電極として働く金属電極を形成することを含む、上記方法。
- 10 3 - 5 族化合物半導体単結晶エピタキシャル層上に S i 層を形成することにより、3 - 5 族化合物半導体単結晶エピタキシャル層表面に表面欠陥準位が形成されるのを抑制することができ、不要な電位障壁の形成を有効に防止できる。S i 層は表面状態が平坦で且つ化学的安定性に優れているので、S i 層に対して適切な仕事関数を有する金属、例えばアルミニウム等を用いて電極を形成することにより、良好なオーミック電極とすることができる。
- 15

#### 図面の簡単な説明

図 1 は、本発明による半導体デバイスの実施の形態の一例を示す断面図である。  
発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態の一例につき詳細に説明する。

- 20 図 1 には、本発明による半導体デバイスの実施の形態の一例が断面図にて示されている。図 1 に示した半導体デバイスは、3 - 5 族化合物半導体結晶を用いて構成されたヘテロ接合バイポーラトランジスタ ( H B T ) 1 である。H B T 1 は、これにより H B T 素子として機能するように構成されている公知の構成の H B T 用の 3 - 5 族化合物半導体単結晶である G a A s 単結晶 1 0 を用いて構成されて
- 25 いる。G a A s 単結晶 1 0 は、G a A s 基板 2 の上に、有機金属気相エピタキシャル成長法 ( M O V P E 法 ) 又は分子線エピタキシー法 ( M B E 法 ) 等の適宜のエピタキシャル成長法によって、バッファ層 3、 $n^{+}$ -G a A s 層 ( 導電層 ) 4、 $n$ -G a A s 層 ( コレクタ層 ) 5、 $p$ -G a A s 層 ( ベース層 ) 6、 $n$ -I n G a P 層 ( エミッタ層 ) 7、 $n^{+}$ -G a A s 層 ( エミッタキャップ層 ) 8 を

適宜のエピタキシャル成長炉内において順次積層形成して製造される。

GaAs単結晶10の最上層である $n^+$ -GaAs層8はn型にドーパされたGaAs層であり、これが本発明においては(n型に)「ドーパされた3-5族化合物半導体単結晶エピタキシャル層」に相当する。この $n^+$ -GaAs層8の  
5 上方にエミッタ電極をオーミック電極として設けるため、 $n^+$ -GaAs層8の直ぐ上にはSi層11が積層形成され、Si層11の上にはアルミニウム

(Al)から成る電極層12が電子用のオーミック電極として形成されている。

このように、化学的に不安定で表面欠陥準位が形成され易い $n^+$ -GaAs層8上にSi層11を積層形成することにより、 $n^+$ -GaAs層8に空乏層のよ  
10 うな電位障壁が生じるのを有効に防止することができる。そして、Si層11上に、Siに対して良好なオーミック接続を得ることができるアルミニウムの電極12を形成することにより、電極12と $n$ -InGaP層(エミッタ層)との間の良好なオーミック接続が確立される。

一般に、GaAs結晶は空気中で速やかに酸化され、その時の結晶面の乱れに  
15 より形成される空乏層によって高密度の表面準位が生じ、良好なオーミック電極形成の妨げとなる。したがって、エピタキシャル成長炉中で $n^+$ -GaAs層8を成長させた後、引き続き同一のエピタキシャル成長炉中でSi層11をMOVPE法又はMBE法等によってエピタキシャル成長させることにより、不安定な表面準位を生じさせることなしにSi/GaAsヘテロ接合を形成することがで  
20 きる。

具体的には、GaAs基板2の上に、MOVPE法又はMBE法等の適宜のエピタキシャル成長法によってバッファ層3から $n^+$ -GaAs層(エミッタキャップ層)8までを適宜のエピタキシャル成長炉内において順次積層形成して、GaAs単結晶10を形成した後、引き続きこのエピタキシャル成長炉内にシラ  
25 ン( $SiH_4$ )又はジシラン( $Si_2H_6$ )等のSi原料を供給し、上述した適宜のエピタキシャル成長法によってSi原料を熱分解し、これにより生成したSiを $n^+$ -GaAs層8上に成長させることによりSi層11を成長させるようにするのが好ましい。ここで、Si層11は、GaAs結晶である $n^+$ -GaAs層8上にエピタキシャル成長した単結晶層として形成するのが好ましい。

しかし、Si層11は必ずしも単結晶層として形成することに限定されるものではなく、多結晶の形態、又はアモルファスの形態で形成してもよい。

ここで、オーミック接続をより一層効果的にするために、表面欠陥準位付近に固定されるフェルミ準位を考慮して、As、P等によりSi層11をn型にドーピングするのが好ましい。また、Si層11の厚さは、臨界的ではないが、数十Å～数百Åの範囲であることが望ましい。同様の理由で、 $n^+$ -GaAs層8にもn型ドーピングを施すことが望ましい。

GaAsとSiとの間には伝導帯端エネルギー準位に多少の差があるが、その差異は小さく、Si層11及び $n^+$ -GaAs層8の両層に上述のごとくしてn型ドーピングを行うことでその接合抵抗は無視しうるほどに小さくすることができる。このn型ドーピングは、 $n^+$ -GaAs層8及びSi層11の各層に各々適切な手段で実施することができるが、特に意図的なドーピングを行わなくても、 $n^+$ -GaAs層8上にSi層11を形成する際に、 $n^+$ -GaAs層8とSi層11との間で加熱による相互拡散で各々十分な濃度のドーピング量を実現することができる。

Si層11は、表面が非常に安定で表面準位が小さいため、Si半導体技術におけると同様に、適切な電子親和力を有する金属であるアルミニウムを使用して、Si層11と電極12との間で良好なオーミック接続を実現することができる。この結果、電極12を介してGaAs単結晶10を外部のデバイスと電氣的に接続し、両者を良好にオーミック接続することができる。

上記実施の形態では、エミッタ電極の構成について説明したが、ベース層に対するベース電極及びコレクタ層に対するコレクタ電極の場合も、同様にして、良好なオーミック電極を設けることができる。また、本発明の半導体デバイスは、HBT素子に限定されるものではなく、発光ダイオード素子、HEMT素子等に広く適用できることは勿論である。

上記実施の形態では、3-5族化合物半導体単結晶エピタキシャル層がn型にドーピングされ、金属電極が電子用オーミック電極である場合を説明した。

他方、本発明は、3-5族化合物半導体単結晶エピタキシャル層がp型にドーピングされ、金属電極が正孔用オーミック電極である場合にも同様に適用して同様の



効果を得ることができる。

#### 産業上の利用可能性

本発明によれば、3－5族化合物半導体単結晶エピタキシャル層上にSi層を形成することにより、不要な電位障壁の形成を有効に防止でき、Si層と電極との間を良好なオーミック接続状態とすることができる。この結果、電極を介して3－5族化合物半導体単結晶と外部デバイスとの間で電流を効率良く流すことができる。

## 請求の範囲

1. 3-5族化合物半導体単結晶を用いた半導体デバイスにおいて、  
ドープされた3-5族化合物半導体単結晶エピタキシャル層と、  
5 該3-5族化合物半導体単結晶エピタキシャル層上に形成されたSi層と、  
該Si層上にオーミック電極として形成された金属電極と  
を備えて成る半導体デバイス。
2. 前記3-5族化合物半導体単結晶エピタキシャル層がn型にドープされ  
ており、前記金属電極が電子用オーミック電極である、請求項1記載の半導体デ  
10 バイス。
3. 前記3-5族化合物半導体単結晶エピタキシャル層がp型にドープされ  
ており、  
前記金属電極が正孔用オーミック電極である、請求項1記載の半導体デバイス。
4. 前記3-5族化合物半導体単結晶がGaAs、InGaAs、及び  
15 InPからなる群から選ばれるいずれか1つの単結晶である請求項1～3のい  
ずれか一項記載の半導体デバイス。
5. 前記Si層が、前記3-5族化合物半導体単結晶エピタキシャル層上に  
エピタキシャルに成長させた単結晶層である請求項1～4のいずれか一項記載の  
半導体デバイス。
- 20 6. 前記Si層が、前記3-5族化合物半導体単結晶エピタキシャル層上に  
多結晶層又はアモルファス層として形成されている請求項1～4のいずれか一項  
記載の半導体デバイス。
7. 前記金属電極がアルミニウムからなる請求項1～6のいずれか一項記載  
の半導体デバイス。
- 25 8. 3-5族化合物半導体デバイス用の薄膜結晶ウェーハの製造方法におい  
て、  
半導体基板上に所要の化合物半導体薄膜結晶層をエピタキシャル成長によって  
積層して3-5族化合物半導体単結晶を得る工程と、該3-5族化合物半導体単  
結晶上にSi層をエピタキシャル成長によって成膜する工程とを、同一のエピタ

キシャル成長炉内において行う、上記方法。

9. 前記エピタキシャル成長が、有機金属気相エピタキシャル成長法（MOVPE法）又は分子線エピタキシー法（MBE法）により行われる請求項8記載の方法。

5 10. 前記3-5族化合物半導体単結晶がGaAs単結晶である請求項8記載の方法。

11. 前記Si層を成膜する場合に、前記Si層に接合する前記3-5族化合物半導体単結晶の薄膜層がSiによりn型ドーパされる請求項8記載の方法。

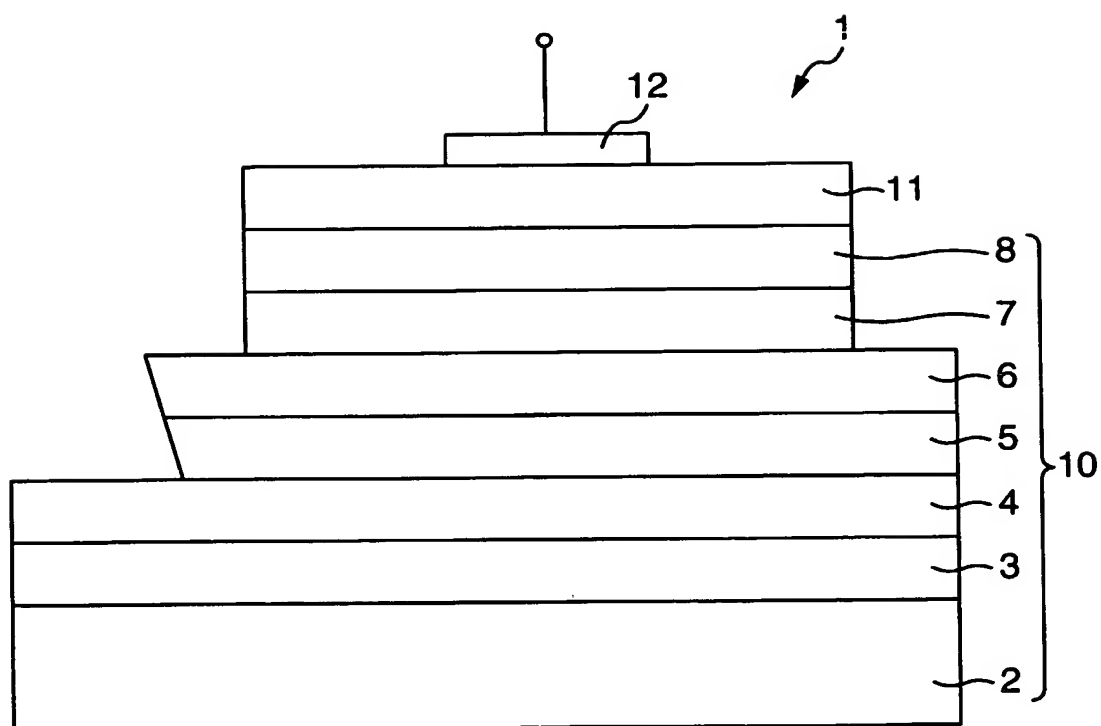
12. 前記化合物半導体薄膜結晶層がAsを含み、前記Si層を成膜する場合に、前記Si層に接合する前記3-5族化合物半導体単結晶の薄膜結晶層中のAsにより前記Si層がn型ドーパされる請求項8記載の方法。

13. 前記Si層を単結晶層、多結晶層、又はアモルファス層として形成するようにした請求項8～12のいずれか一項記載の方法。

14. 3-5族化合物半導体単結晶を用いた半導体デバイスの製造方法において、

半導体基板上に所要の化合物半導体薄膜結晶層をエピタキシャル成長によって積層して3-5族化合物半導体単結晶を得る工程と、該3-5族化合物半導体単結晶上にSi層をエピタキシャル成長によって成膜する工程とを、同一のエピタキシャル成長炉内において行った後、該Si層上にオーミック電極として働く金属電極を形成することを含む、上記方法。

FIG. 1



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/13067

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L21/28

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L21/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 63-199460 A (Nippondenso Co., Ltd.), 17 August, 1988 (17.08.88), Full text; all drawings (Family: none)	1-14
Y	JP 63-52473 A (Nippon Telegraph And Telephone Corp.), 05 March, 1988 (05.03.88), Full text; all drawings (Family: none)	1-14
Y	JP 60-15970 A (Hitachi, Ltd.), 26 January, 1985 (26.01.85), Full text; all drawings (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
08 January, 2004 (08.01.04)

Date of mailing of the international search report  
20 January, 2004 (20.01.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13067

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 64-72558 A (Sharp Corp.), 17 March, 1989 (17.03.89), Full text; all drawings (Family: none)	1-14
A	JP 63-239941 A (Toshiba Corp.), 05 October, 1988 (05.10.88), Full text; all drawings (Family: none)	1-14

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/28

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 63-199460 A (日本電装株式会社) 1988. 08. 17, 全文, 全図 (ファミリーなし)	1-14
Y	J P 63-52473 A (日本電信電話株式会社) 1988. 03. 05, 全文, 全図 (ファミリーなし)	1-14
Y	J P 60-15970 A (株式会社日立製作所) 1985. 01. 26, 全文, 全図 (ファミリーなし)	1-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

08. 01. 2004

国際調査報告の発送日

20. 1. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
小野田 誠

4 L 8427

電話番号 03-3581-1101 内線 3462

## C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 64-72558 A (シャープ株式会社) 1989. 03. 17, 全文, 全図 (ファミリーなし)	1-14
A	J P 63-239941 A (株式会社東芝) 1988. 10. 05, 全文, 全図 (ファミリーなし)	1-14